



Magillem Register View (MRV)

概要

IC 設計者が以前から必要性を感じているレジスタ管理ツールの市場に、マジレム社は全く新しいアプローチを提供しています：顧客は、設計とリンクしていない Excel ベースのレジスタ・キャプチャ・システムもしくは高価なレジスタ管理専用ツール（しかもチーム作業環境をサポートしていない）などを選択しなくてもよくなった。マジレム社が提供する、IP-XACT 仕様のシステムと IP 向けのレジスタ・ビュー・ツール MRV は、コスト的にも機能的にも妥協を許さないツールです：

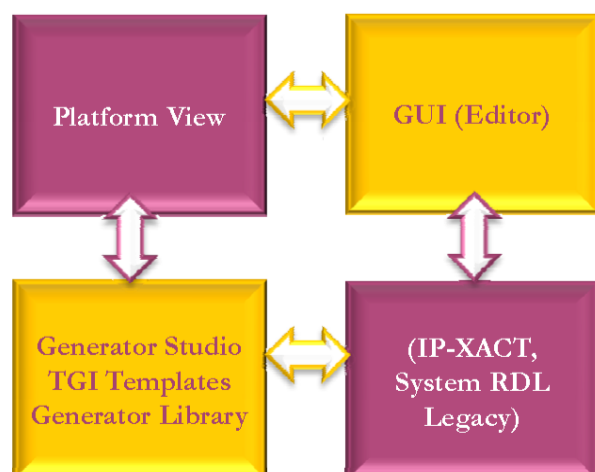
- 高度なパラメータ機能、再利用及びチーム作業サポート機能強化によって、モデルの階層コンポーネント、レジスタ及びメモリーマップ記述が可能
- 強力なデータ干渉、同期チェック機能を持つツール内のエンジンによって、早い段階での、コレクト・バイ・コンストラクション手法でレジスタを持つ IP、SOC ビューでの作業が可能となる。
- ジェネレーターのカスタマイズに柔軟性を持たせることによって、ネイティブなオブジェクト指向の API、テンプレートベースのエンジン、もしくは IP-XACT の TGI を通してカスタマイズできる。
- グラフィック的なエディターの GUI によって簡単にツールに慣れ、しかもレジスタ及びメモリーマップを迅速に取り込むことができる。IP-XACT（強力であるが使用は面倒）をうまく使えば、設計者向けの心地よいキャプチャ・グラフィック・インターフェースとなる。
- 洗練されたマジレム社提供技術、Eclipse、IP-XACT 技術などに準拠した最新のテキストベースの入力言語

MRV は、IP-XACT 内で階層構造をサポートする：ベースアドレス及びオフセットは、コンフィグ可能なエレメントとして定義できる。

設計をフラットにも、また階層構造でも保持することができる（しかもトップのコンポーネント内で、XML タグに関連したメモリーの複製をせずに）。これは、IP をプラットフォームとして IP の所有者に提供する時に、重要となる機能です。

IP-XACT 記述において、システムは設計データのポインターのみを持つ純粹な階層化されたコンポーネントを含む。もしくは、多くの下層コンポーネントからメモリーマップの完全なコピーを持つフラットなコンポーネントを含む。

アーキテクチャ

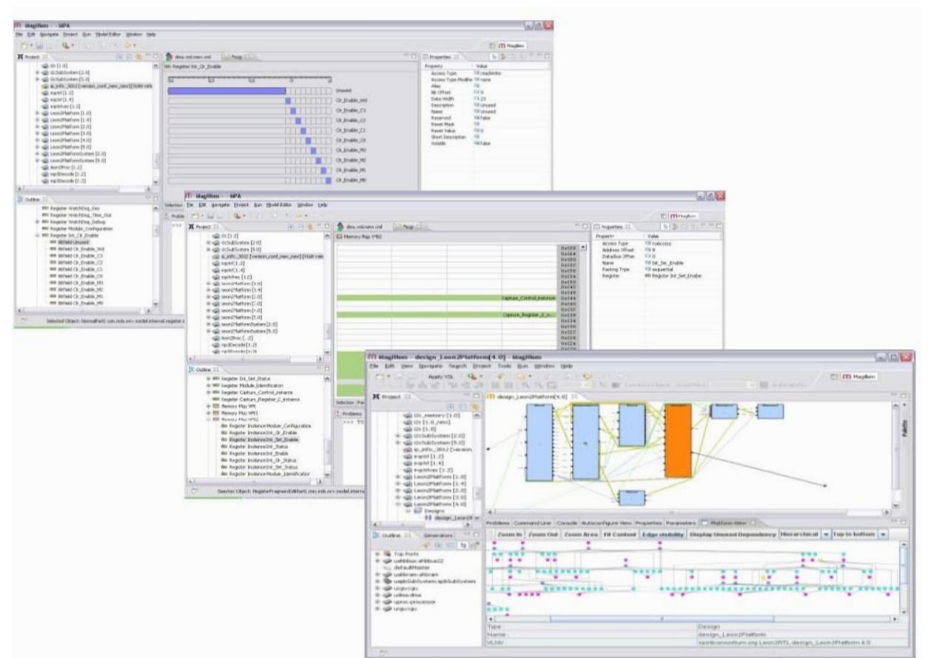


« Capturing Registers, but for a cause »

MRV は両方のモードをサポートする。ボトムアップ・アプローチでは、システムの完全なビューを構築する。レベル、インスタンス及び依存関係などのすでに定義された関係をあらかじめ保持する。ジェネレーターを作成する為の TGI を完全にサポートする。それによって、TGI トップでの API 作成が容易となる。

設計ルールチェック（DRC）を実行することによって、コンポーネント記述が、オフィシャルな IP-XACT シンタックスとセマンティクスに準拠しているか確認できる。それと共にメモリー、レジスタ及びビットフィールド群にもフォーカスしている。

機能



- 完全なレジスタ及びビットフィールドのエディター
- ビットフィールドの移動、サイズ変更
- メモリーマップのエディター
- システムメモリーマップのエディター
- メモリーマップ内でのドラッグ&ドロップ
- コピー/ペースト
- オーバーラップを視覚的に確認
- RTL、もしくは ESL プラットフォームでの真の同期性
- 真の階層化記述

利点

仕様書作成担当者に対して：

- レジスタ仕様書の HW インプレメンテーションのチェックと検証
- 再設計の簡単化
- トレーニング不要、IP-XACT 知識不要

IP レベルの HW エンジニアに対して：

- HDL コードの自動生成

システムレベルの HW エンジニアに対して：

- HDL コードの自動生成

システムレベル SW エンジニアに対して：

- 干渉性

プロジェクト管理者に対して：

- チーム作業、検証、デバッグの同期性



MRV 機能仕様

MRV FEATURES	Basic	Premium	MRV FEATURES	Basic	Premium
Import			Generators		
IP-XACT v1.0, v1.2, v1.4, v1.5 Import	X	X	Verilog and VHDL Headers		X
Register Description Language Import		X	Verilog and VHDL Bus Interface & Register Blocks		X
EXCEL, CSV format	X	X	Verilog and VHDL Interconnect (AMBA AHB, APB...)		X
Support for Importing Custom Formats	X	X	Verilog and VHDL Testbench		X
Register & System Management			SystemVerilog		X
GUI with Linting Cross Checking Editor	X	X	SystemC TLM		X
TRUE graphical Editor	X	X	Vera		X
IP Memory Map Capture & Management GUI	X	X	Cadence VRAD for eVC		X
TRUE synchronization with RTL platform		X	Cadence Vplan		X
TRUE synchronization with ESL platform		X	HW and SW Documentation (RTF Format)	X	X
System Memory Map Capture & Management GUI	X	X	HW and SW Documentation (HTML Format)	X	X
Register Description Language		X	HW and SW Documentation (PDF Format)	X	X
Database Differencing GUI	X	X	HW and SW Documentation (Frame Maker Format)		X
Database Differencing CLI	X	X	Datasheets Documentation (HTML)		X
System Level Schematic Configurability	X	X	Datasheets Documentation (PDF)		X
Customizable Data Structure Format	X	X	Assembly Header		X
Design Rule Check			C-code Headers		X
Standard Rules	X	X	C++/SystemC Header	X	X
Support for Custom Rules		X	C-code HW Access Functions (HAL)		X
DRC GUI	X	X	C++/SystemC HW Access Classes(HAL)		X
DRC CLI		X	C-code Integration Tests		X
Rules Design Application		X	Basic RTOS Framework		X
Rules Management Application	X	X	Operating Systems Supported		
SPIRIT Rules Support	X	X	Linux	X	X
Generation			Windows 2000/XP	X	X
Generator Configuration & Run GUI	X	X			
Generator Configuration & Run CLI	X	X			
Generator Specific Rules		X			
Customizable Generators		X			
Generator Customization GUI		X			

Email: contact@magillem.com
 Web: <http://www.magillem.com>

米国

Magillem
 44 West 28th Street, suite #1407
 New York, NY 10001 USA
 tel: +1 646-794-4185
 fax: +1 707-202-2197

欧州

Magillem
 4 rue de la Pierre levée
 75011 Paris, France
 tel : +33. (0)1.40.21.35.50
 fax : +33.(0)1.53.36.75.08

日本

マジレム日本オフィス
 〒108-6028 東京都港区港南 2-15-1
 品川インターシティ A棟 2 8階
 電話: +81 3 6717 4589
 Fax : +81 3 6717 4141